

# Cyfrowa synteza częstotliwości w radiotelefonie UKF-FM

mgr inż. ANDRZEJ ŁOBZOWSKI-SP5DF

**Opis dotyczy modelu wykonanego na zlecenie redakcji i praktycznie wypróbowanego przez konstruktora.**

Cyfrowa synteza częstotliwości jest coraz częściej stosowana w różnego typu urządzeniach radiokomunikacyjnych. Jej zasadniczą zaletą jest możliwość precyzyjnego i szybkiego wyboru częstotliwości pracy urządzenia, duża stałość częstotliwości (równa stałości zastosowanego wzorca) oraz eliminacja skomplikowanych i precyzyjnych elementów mechanicznych służących do przestrajania. Do podstawowej natomiast wady cyfrowej syntezy częstotliwości należy zaliczyć złożoność układu elektrycznego urządzenia.

Cyfrowe syntezery są szczególnie przydatne w wielokanałowych urządzeniach radiokomunikacyjnych, charakteryzujących się stałym odstępem częstotliwości kanałowych, ponieważ eliminują z tych urządzeń znaczną liczbę rezonatorów kwarcowych przy stosunkowo prostym układzie elektronicznym. Przykładem takiego zastosowania są radiotelefony pracujące w zakresie UKF z modulacją FM. Układ cyfrowej syntezy częstotliwości działa na zasadzie tzw. pętli fazowej regulacji częstotliwości, w skrócie PLL (ang.: Phase Locked Loop) lub FRC (Fazowa Regulacja Częstotliwości). Schemat blokowy układu cyfrowej syntezy przedstawiono na rys. 1.

Sygnal  $f_G$  wychodzący z syntezera jest wytwarzany w generatorze przestrajającym napięciem GPN. Sygnal ten jest doprowadzony do programowanego przełącznika  $P$  cyfrowego nastawnego dzielnika częstotliwości NDC dokonującego podziału przez liczbę naturalną  $N$ . W wyniku podziału ( $f_G : N$ ) sygnał dochodzi do jednego z dwóch wejść detektora fazy DF. Do drugiego wejścia detektora DF jest doprowadzony przebieg o częstotliwości wynikającej z podziału dzielnikiem DC częstotliwości oscylacji  $f_w$  wzorcowego generatora kwarcowego GW przez stałą liczbę naturalną  $M$ . Detektor DF dokonuje porównania fazy tych dwóch przebiegów, dając na swym wyjściu odpowiedź w postaci ciągu określonych impulsów. Z impulsów tych w układzie całkującym UC jest wydzielana składowa stała napięcia  $U_D$  wykorzystywana do takiego dostrojenia generatora GPN, aby różnicę częstotliwości i fazy między przebiegami sprowadzić do zera:

$$f_w : M = f_G : N, \text{ czyli } f_G = f_w \cdot \frac{N}{M}$$

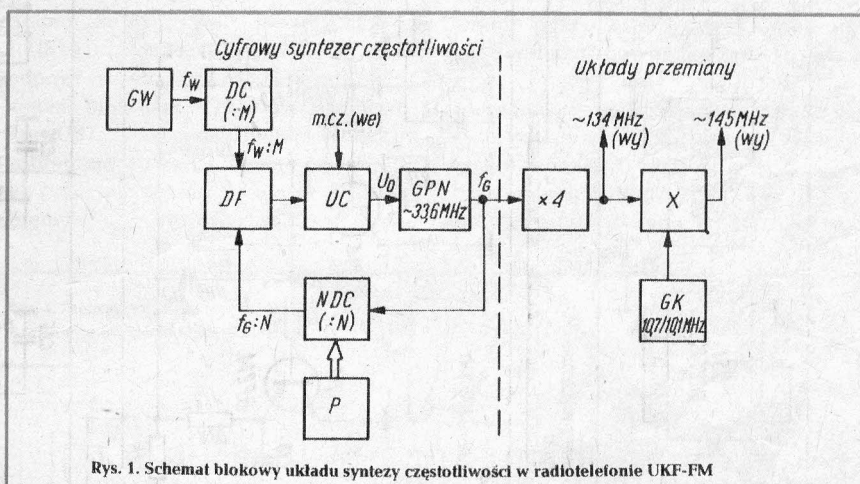
Zmieniając liczbę  $N$  stopnia podziału dzielnika NDC można uzyskać zmianę częstotliwości wyjściowej syntezera, przy czym najmniejsza zmiana (skok) tej częstotliwości jest równa  $f_w : M$ . Opisany układ PLL jest równoważny powielaczowi o krotności powielania  $N$  i częstotliwości wejściowej  $f_w : M$ .

W omawianym rozwiązaniu generator GPN pracuje na częstotliwości około 33,6 MHz wynikającej z granicznej częstotliwości pracy krajowych cyfrowych układów scalonych. Po powieleniu częstotliwości  $f_G$  w dwustopniowym powielaczu rezonansowym „x 4” otrzymuje się sygnał heterodyny do odbiornika pracującego w pasmie 144 MHz z częstotliwością pośrednią 10,7 MHz. Sygnal do sterowania nadajnika uzyskuje się po zmieszaniu w stopniu przemiany „X” częstotliwości

z odstępem międzykanałowym 12,5 kHz. Pokrywa to z zapasem potrzeby wynikające z aktualnego „band-planu”, który do łączności FM w pasmie 2 m zaleca zakres 145,000...145,825 MHz, a w tym do łączności simpleksowych zakres od 145,250 do 145,575 MHz.

Wzorec częstotliwości  $f_w$  syntezera stanowi generator kwarcowy 1 MHz z tranzystorem T1. Zastosowano tu układ znacznie stabilniejszy od generatorów kwarcowych budowanych przy użyciu bramek cyfrowych. Należy zastosować możliwie stabilny egzemplarz kwarcu K1 (w obudowie HC6/U) pamiętając, że zmiana jego częstotliwości pracy tylko o 1 Hz spowoduje odstrojenie radiotelefonu o około 134 Hz.

Przebieg z generatora jest wzmacniany tranzystorem T2 do wartości wymaganej



Rys. 1. Schemat blokowy układu syntezy częstotliwości w radiotelefonie UKF-FM

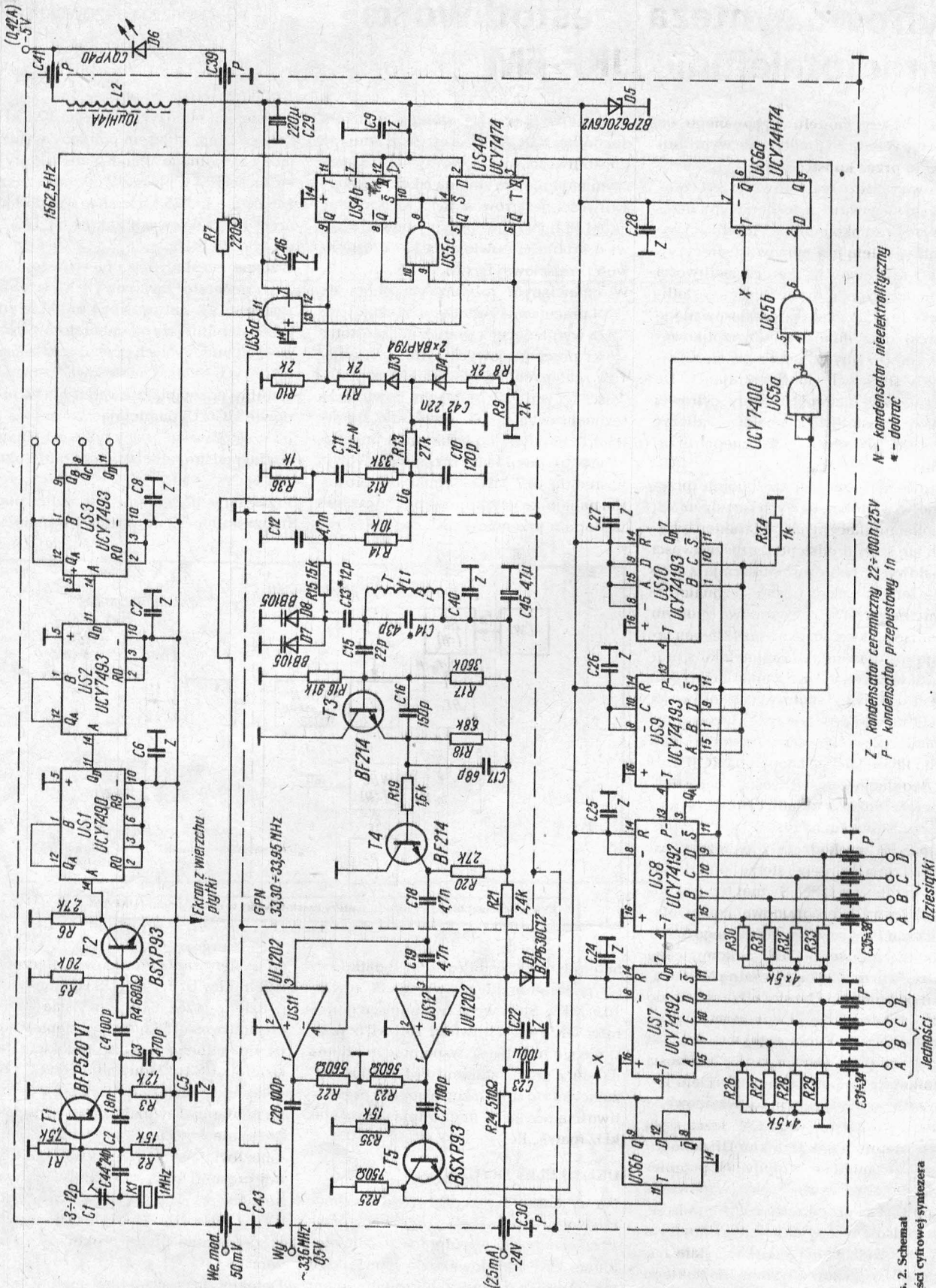
heterodyny z częstotliwością dodatkowego generatora kwarcowego GK równą 10,7 MHz. Stosując w tym miejscu generator GK o częstotliwości 10,1 MHz uzyskuje się możliwość współpracy radiotelefonu z przekaźnikami FM charakteryzującymi się stałą różnicą między częstotliwością odbioru i nadawania równą 600 kHz (patrz „Re” nr 4/80, str. 102...105).

## UKŁAD ELEKTRYCZNY

Na rysunku 2 przedstawiono schemat ideowy części cyfrowej syntezera przystosowanego do współpracy z radiotelefonem UKF-FM dowolnego typu. Układ ten zaprojektowano z uwzględnieniem możliwości jego zrealizowania z dostępnych elementów produkcji krajowej. Syntezer umożliwia pracę w pasmie 144,6125...145,850 MHz na 100 kanałach

doysterowania szeregowo połączonych dzielników US1, US2 i US3 dokonujących podziału przez 640, z wyjścia których częstotliwość 1562, Hz jest doprowadzona do jednego z wejść detektora fazy. Dzielnik US3 układu scalonego UCY7493 dokonuje podziału tylko przez 4 w wyniku pobierania sygnału z jego wyjścia Q<sub>B</sub>. Pozostałe wyjścia układu scalonego US3 umożliwiają stosowanie kwarcu K1 o innej częstotliwości rezonansowej, a mianowicie: wyjście Q<sub>A</sub> – kwarcu 500 kHz, Q<sub>C</sub> – 2 MHz, Q<sub>D</sub> – 4 MHz, bez konieczności zmieniania płytki drukowanej syntezera.

Detektor fazy działa w oparciu o dwa przerzutniki typu D zawarte w układzie scalonym US4, bramkę US5c i układ diodowo-oporowy D3, D4, R8...R11. Synchronizacja pętli zachodzi w przypadku, gdy



Rys. 2. Schemat części cyfrowej syntezera

Z - kondensator ceramiczny 22÷100n/25V  
 P - kondensator przepustowy 1n  
 N - kondensator nieelektrolityczny  
 \* - dobrać

do obu wejść detektora (wejścia zegarowe T przzerzutników) przychodzą jednocześnie narastające zbocza dwóch przebiegów: wzorcowego i synchronizowanego. Diody D3 i D4 są wówczas praktycznie przez cały czas w stanie zaporowym, a układ kalkujący utrzymuje stałą wartość napięcia przestrajającego  $U_0$ . Przy braku synchronizacji, spowodowanej różnicą częstotliwości lub faz, zbocza jednego z przebiegów wejściowych wyprzedzają zbocza drugiego przebiegu co powoduje, że przez jedną z diod D3 lub D4 płyną impulsy prądu o czasie trwania proporcjonalnym do chwilowej różnicy faz tych przebiegów. Impulsy te wywołują zmianę napięcia  $U_0$  i częstotliwości generatora GPN aż do zasynchronizowania pętli.

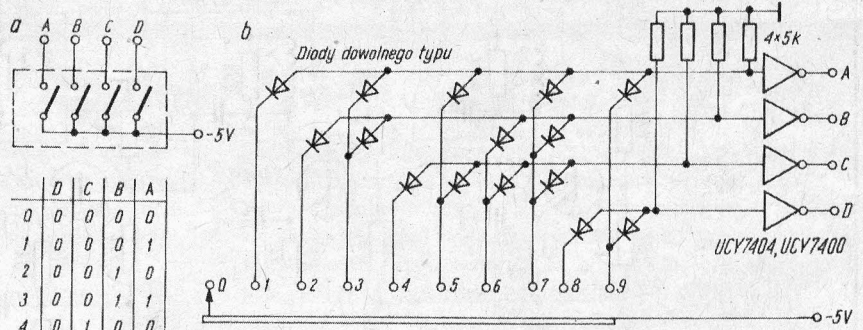
Bramka US5d wykrywa stan synchronizacji układu PLL wygaszając w tym momencie diodę elektroluminescencyjną D6. W przypadku braku synchronizacji dioda D6 świeci.

Układ kalkujący stanowią kondensatory C42, C10, C11 i C12 oraz połączone z nimi rezystory R12, R13, R14 i R15. W układzie tym dodaje się do napięcia regulacyjnego  $U_0$  sygnał modulujący m.cz. Dla uzyskania dziewięci nadajnika rzędu 5 kHz amplituda sygnału m.cz. na wejściu syntezeru powinna wynosić około 50...100 mV. Zmiana czułości wejścia modulującego w funkcji częstotliwości pracy przestrajanego diodami generatora GPN wynosi nie więcej niż  $\pm 3$  dB.

W generatorze GPN obwód rezonansowy tranzystora T3 jest przestrajany pod wpływem napięcia doprowadzonego do równolegle połączonych diod pojemnościowych D7 i D8. Zastosowano równolegle połączone dwie diody w celu uzyskania zakresu przestrajania od 33,30 MHz do 33,95 MHz przy zmianie napięcia  $U_0$  w granicach od 0 V do -5 V. Sygnał z oscylatora przez wtórnik tranzystora T4 dochodzi do równolegle połączonych wejść układów scalonych US11 i US12. Wykorzystano tu scalone wzmacniacze UL1202 charakteryzujące się bardzo dobrymi własnościami separującymi, dające w omawianym układzie wzmocnienie rzędu kilku V/V. Z wyjścia układu scalonego US11 sygnał jest wyprowadzany na zewnątrz części cyfrowej syntezeru.

Przebieg z wyjścia układu scalonego US12 jest wzmacniany do poziomów wymaganych przez układy cyfrowe TTL przez tranzystor T5, po czym dochodzi do układu scalonego US6b ( $1/2$  UCY74H74) połączonego w układ „dzielnika przez dwa”.

Scalone synchroniczne liczniki rewersyjne: dziesiątne US7, US8 (UCY74192) i binarne US9, US10 (UCY74193) składają się na nastawny dzielnik częstotliwości o zmiennym zakresie podziału od 10713



	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

0 - zestyk zwarty  
1 - zestyk rozarty

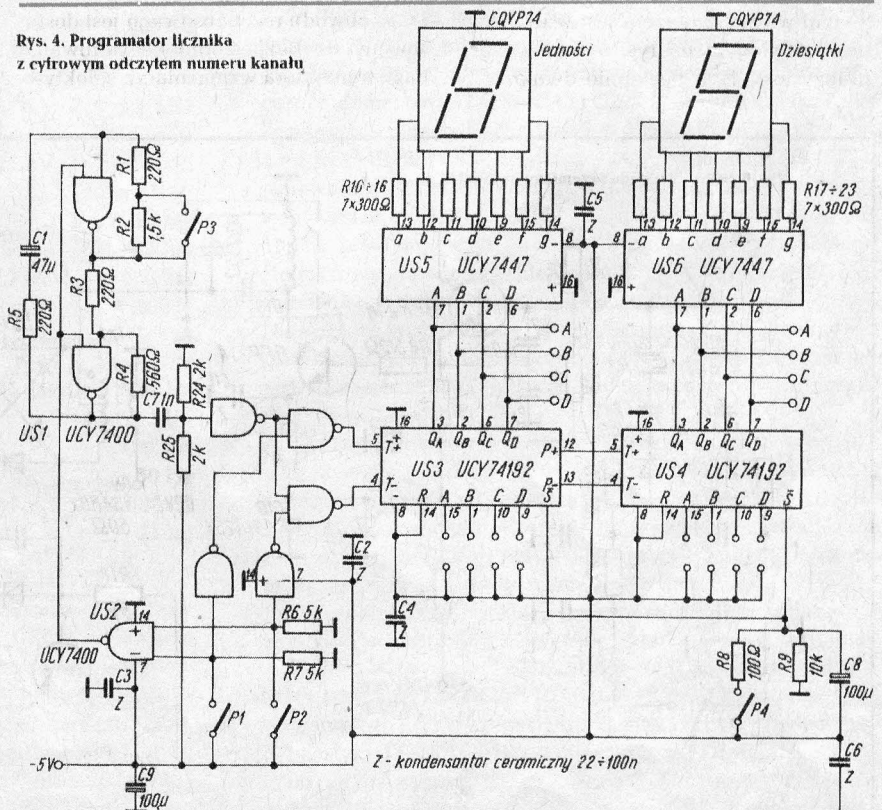
Rys. 3. Układy do programowania licznika nastawnego  
a - układ nastawnika działającego w kodzie „8421-BCD”,  
b - układ nastawnika z matrycą diodową

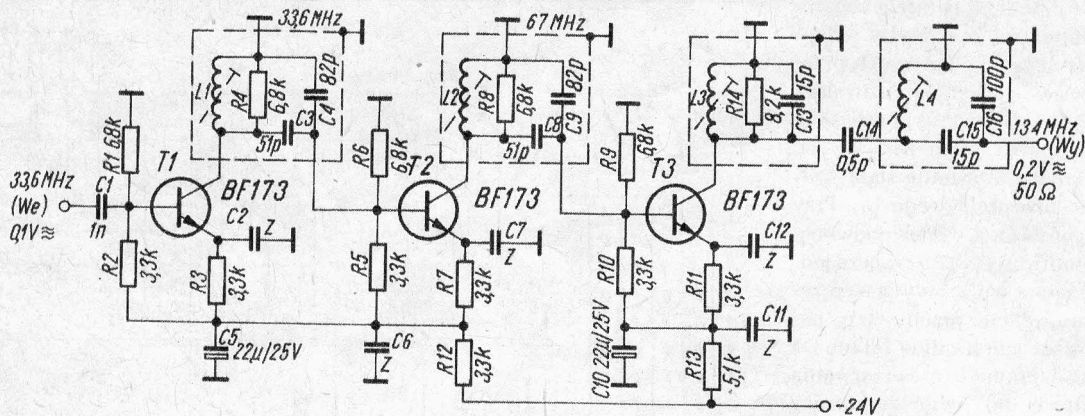
do 10812. Wybór stopnia podziału uzależniony jest od przyjętej dwucyfrowej liczby dziesiętnej od „00” do „99” wyrażonej w kodzie „8421-BCD” i doprowadzonej do wejść programujących dekad US7 (jedności) i US8 (dziesiątki). Wejścia programujące liczników binarnych US9 i US10 są na stałe ustawione w stany odpowiadające liczbie dziesiętnej 107 (w zapisie binarnym 01101011). Ciąg liczników US7...US10 zlicza impulsy wstecz od zaprogramowanej liczby do wartości -13, po czym następuje jego ponowne zaprogramowanie. Dodatkowe zwiększenie

stopnia podziału o 13 w stosunku do zaprogramowanej liczby osiągnięto dzięki odpowiedniemu układowi sprzężenia zwrotnego licznika złożonego z bramek US5a, US5b i przerzutnika US6a. Wydłużenie toru podziału miało na celu umożliwienie pokrycia najbardziej interesującego w danym przypadku zakresu pasma 2 m.

Programowanie licznika można najłatwiej przeprowadzić za pomocą identycznie wykonanych dwóch nastawników działających w kodzie „8421-BCD”; na rys. 3a przedstawiono schemat takiego

Rys. 4. Programator licznika z cyfrowym odczytem numeru kanału





Rys. 5. Schemat powielacza „ $\times 4$ ”

Z - kondensator ceramiczny  $4,7 \div 22 \text{ nF}$

nastawnika. Do programowania można także wykorzystać dwa identyczne układy matryc diodowych przełączanych dziesięciopozycyjnymi przełącznikami, jak to przedstawiono na rys. 3b.

Można także wykonać specjalny układ programatora (rys. 4) umożliwiający przestrajanie urządzenia za pomocą dwóch przycisków: „w górę” (P1) i „w dół” (P2).

Przełącznik P3 służy do zmiany prędkości przestrajania. Wejścia programujące A, B, C i D liczników US3 i US4 należy stałe ustawić na potencjalach odpowiadających najczęściej używanemu kanałowi. Po włączeniu zasilania lub po zwarciu przycisku P4 radiotelefon dostroi się do tego kanału, co potwierdzają wskaźniki cyfrowe CQYP74.

Sygnal w.c.z. z syntezera jest w układzie przedstawionym na rys. 5 wzmacniany ( tranzystor T1), a następnie dwukrotnie

powielany „przez dwa” (tranzystory T2 i T3). Sygnal wyjściowy o częstotliwości około 134 MHz jest równolegle doprowadzony do układów przemiany: odbiornika i nadajnika.

Na rysunku 6 przedstawiono schemat ideowy układu przemiany nadajnika.

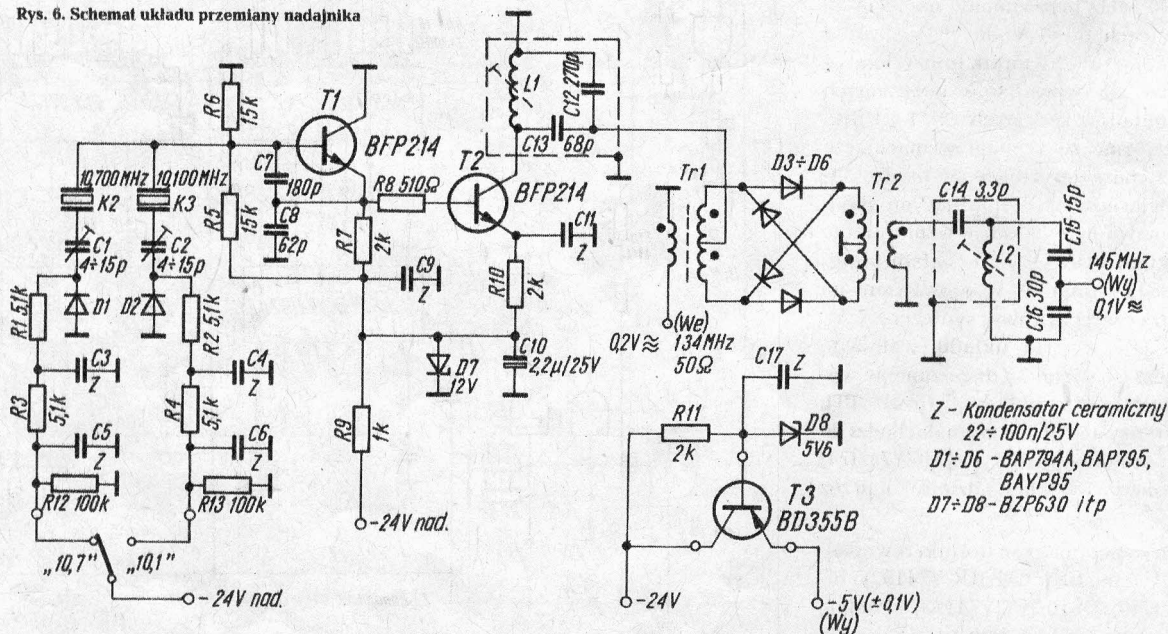
Generator wykonany z tranzystorem T1 wykorzystuje jeden z dwóch rezonatorów kwarcowych K2 (10,7 MHz) lub K3 (10,1 MHz) przełączanych diodami D1 i D2. Sygnal z generatora po wzmacnieniu (tranzystor T2) jest doprowadzony do podwójnie zrównoważonego diodowego modulatora kołowego, gdzie po zmieszaniu z częstotliwością heterodyny i odfiltrowaniu uzyskuje się sygnał do sterowania nadajnika o częstotliwości około 145 MHz. Odczep na kondensatorach C15 i C16 obwodu rezonansowego jest dostosowany do bezpośredniego sterowania bazy tranzystora wzmacniacza selektyw-

nego 145 MHz. Wzmacniacz ten, w celu odpowiedniego odfiltrowania niepożądanych produktów przemiany, powinien zawierać minimum trzy stopnie wzmocnienia ( napięciowe) rozdzielone dwuobwodowymi filtrami pasmowymi.

Tranzystor T3 (rys. 6) wraz z elementami towarzyszącymi stanowi prosty zasilacz stabilizowany układów TTL. Jeżeli w zasilaczu konstruowanego lub adaptowanego radiotelefonu jest dostępne napięcie niższe niż  $-24 \text{ V}$ , to należy dołączyć do niego stabilizator  $-5 \text{ V}$  dla zmniejszenia strat mocy w tranzystorze T3. Dioda Zenera D5 (rys. 2) zabezpiecza układy scalone przed przepięciami mogącymi wystąpić, np. w razie uszkodzenia zasilacza  $-5 \text{ V}$ . Wszystkie przedstawione powyżej układy są zasilane napięciami ujemnymi względem masy tak, aby ułatwić ich ewentualną współpracę z fabrycznymi radiotelefonami UKF-FM.

(Cd. na str. 63)

Rys. 6. Schemat układu przemiany nadajnika



Z - Kondensator ceramiczny  $22 \div 100 \text{ nF} / 25 \text{ V}$   
 D1÷D6 - BAP794A, BAP795, BAYP95  
 D7÷D8 - BZP630 itp

